

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-101519

(43)Date of publication of application : 19.04.1989

(51)Int.Cl.

G02F 1/133

(21)Application number : 62-258854

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 14.10.1987

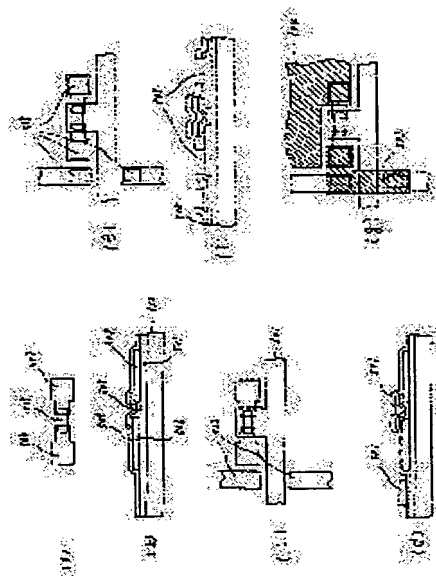
(72)Inventor : ISHIGURO HIDETO

## (54) ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To obtain a large and highly reliable active matrix substrate by forming a bridged wiring formed by the same material as a picture element electrode simultaneously with the formation of the picture element electrode so as to couple a partial source wiring formed by the same material as a gate wiring simultaneously with the formation of the gate wiring.

**CONSTITUTION:** After forming a channel area 505, a source area 506, a drain area 507 in a thin film transistor, the thin film is formed as a prescribed shape by using a low resistance material consisting of various kinds of alloys and superconductive substances and not source wiring is formed on the intersecting part of the gate wiring 501 and a source wiring 502. Then, an insulating film for insulating the source wiring 502 and the gate wiring 501 is formed and a contact hole 508 is formed like a prescribed shape. Then, an ITO film is formed as a prescribed shape and a bridged wiring 503 for bridging the source wiring 502 is obtained in a picture element transparent electrode 504 and the intersecting part of the gate wiring 501 and the source wiring 502.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A)

平1-101519

⑤Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬公開 平成1年(1989)4月19日

G 02 F 1/133

3 2 7

7370-2H

審査請求 未請求 発明の数 1 (全7頁)

⑭発明の名称 アクティブマトリクス基板

⑮特 願 昭62-258854

⑯出 願 昭62(1987)10月14日

⑰発明者 石 黒 英 人 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲代 理 人 弁理士 最 上 務 外1名

## 明 細 書

## 1. 発明の名称

アクティブマトリクス基板

## 2. 特許請求の範囲

(1) 薄膜トランジスタ、ソース配線、ゲート配線、画素電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とするアクティブマトリクス基板。

(2) 前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記一部のゲート配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とする特許請求の範囲第1項に記載のアクティブマトリクス基板。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、アクティブマトリクス方式の液晶ディスプレイやエレクトロクロミックディスプレイ等に用いられるアクティブマトリクス基板に関する。

(従来技術)

従来のアクティブマトリクス基板は、例えば、JAPAN DISPLAY'86の196～199ページに見られる様に、配線材料としてITO、不純物を含む多結晶シリコン等が用いられている。

第3図(a)は、従来のアクティブマトリクス基板の上視図であり、第3図(b)は前記第3図(a)のBB'における断面図である。又、従来のアクティブマトリクス基板の製造工程の一部の上視図を第4図(a)～(d)に、断面図を第4図(a')～(d')に示した。

(a)、(a')は下地絶縁膜411上に薄膜

トランジスタのチャンネル領域405、ソース領域406、ドレイン領域407及びゲート絶縁膜409を形成した図である。(b)、(b')はゲート電極、及びゲート配線401を形成した図であり、(c)、(c')においてゲート配線401とソース配線402を絶縁する絶縁膜410を形成し、さらに薄膜トランジスタのソース領域408とソース配線401、及び該薄膜トランジスタのドレイン領域407と画素電極404を接合するためのコンタクトホール408を所定の位置に形成する。さらに(d)、(d')においてソース配線402と画素電極404を形成することによって、従来のアクティブマトリクス基板が作られる。

以上の工程を見れば明らかな様に、従来のアクティブマトリクス基板の配線方法では、2回の配線用の薄膜の形成と2回のフォトリソング工程が必要である。

(発明が解決しようとする問題点)

前記の、従来の配線材料であるITO等は、そ

の比抵抗が $300\mu\Omega\text{cm}$ と大きく、信号遅延等の観点から、配線材料として用いることができるのは、約 $10\text{cm}$ 程度の画面サイズが限界となり、それ以上の大型化は不可能である。したがって上記以上の画面サイズを実現するためには、より低抵抗の配線材料による配線が不可欠となる。しかし、従来の配線と構造のままで、配線の材料を変えると、ソース配線の材料と画素電極の材料が異なるために、薄膜形成とフォトリソングの回数が1回ずつ増え、製造工程を非常に複雑なものにする。

本発明は、このような問題点を解決するもので、その目的とするところは、より大型で信頼性の高いアクティブマトリクス基板を提供することにある。

(問題点を解決するための手段)

薄膜トランジスタ、ソース配線、ゲート配線、画素電極、前記ソース配線と前記ゲート配線を絶縁する絶縁膜を具備するアクティブマトリクス基板において、本発明のアクティブマトリクス基板

は、前記ゲート配線と同じ材質で同時に形成された一部のソース配線、前記一部のソース配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備するか、又は前記ソース配線と同じ材質で同時に形成された一部のゲート配線、前記ゲート配線を結合させる様に前記画素電極と同じ材質で同時に形成された架橋配線を具備することを特徴とする。

(実施例)

以下、本発明について、実施例に基づき詳細に説明する。

実施例1

第1図は本発明によるアクティブマトリクス基板の一例の上視図である。103の架橋配線により、ソース配線102とゲート配線101の交差部を架橋しているのが特徴である。第2図に第1図のAA'における断面図を示した。

本発明の、実施例を第5図の、上視図(a)~(d)、断面図(a')~(d')を用いて、工程順に、さらに詳しく説明する。まず、(a)、

(a')の如く、ガラス、石英、サファイア等の絶縁性基板の上に、二酸化硅素、窒化硅素等から成る清浄な下地絶縁膜511を形成する。その上に $1500\text{\AA}$ ~ $3000\text{\AA}$ 程度のドナー、あるいはアクセプタとなる不純物を含む、多結晶シリコン膜、若しくは非晶質シリコン膜を所定の形状に形成する。さらにその上に $100\text{\AA}$ ~ $500\text{\AA}$ 程度の該不純物を含まない多結晶シリコン、又は非晶質シリコンからなる薄膜を、所定の形状に形成する。この工程により薄膜トランジスタのチャンネル領域505、ソース領域506、ドレイン領域507が形成される。その上に $500\text{\AA}$ ~ $3000\text{\AA}$ 程度の二酸化硅素、窒化硅素等の絶縁膜を形成し、ゲート絶縁膜509とする。

次に、(b)、(b')に示す様にアルミニウム、モリブデン、タンタム、タンタル、ニオブ、チタンおよびその硅化物、各種合金、超電導物質等の低抵抗材料を用いて $1000\text{\AA}$ ~ $7000\text{\AA}$ 程度の薄膜を所定の形状に形成し、ゲート配線501およびソース配線502とする。ここで

注目すべきことは、該ゲート配線と該ソース配線の交差部においては、ソース配線が形成されていないことである。この構造を採用することによって、ゲート配線とソース配線の大部分を同時に形成することが可能となる。

次に(c)、(c')に示されるようにソース配線とゲート配線を絶縁する絶縁膜と薄膜トランジスタを保護するパッシベーション膜をかねた二酸化硅素、窒化硅素等からなる絶縁膜510を3000Å～10000Å程度形成し、図に示した様に所定の形状にコンタクトホール508を形成する。

次に(d)、(d')に示される様にITO膜を所定の形状に形成し、画素透明電極504、および該ゲート配線とソース配線の交差部においてソース配線を架橋する503の架橋配線を得る。又、この工程によりソース配線501とソース領域506、画素電極504とドレイン領域507のコンタクトがとられる。

以上の工程を経て、本発明によるアクティブマ

トリクスの1例が製造される。

#### 実施例2

前実施例では、ソース配線を架橋したが、ゲート配線を、架橋することも可能であり、第8図(a)～(c)に示した。

薄膜トランジスタの、チャンネル領域605、ソース領域606、ドレイン領域607を形成した後、絶縁膜を形成し、前実施例と同様な低抵抗材料を用いてソース配線602とゲート配線601の大部分を形成する。この時、該ソース配線とゲート配線の交差部のゲート配線を形成せず、絶縁膜を形成し、コンタクトホール608を形成した後で、この交差部のゲート配線603を画素電極604及び薄膜トランジスタのソース領域606とソース配線602を結ぶ配線613と同時に形成する。

#### 〔発明の効果〕

以上に述べたように本発明によれば、従来より工程数をまったく増やすことなく、ゲート配線、ソース配線の低抵抗化が可能となる。これにより

以下のような効果が得られる。

a. ゲート配線の低抵抗化により、薄膜トランジスタのスイッチング時間を短縮できるため、画素数を増やすことができ、画面の大型化が可能となる。

b. ソース配線の低抵抗化により、画素に対する書き込み時間を短縮できるため、aと同様な効果がある。

c. 配線を細くすることが可能となるために、ゲート配線とソース配線の間の容量等の寄生容量を小さくできる。これらの寄生容量はトランジスタのスイッチング速度を低下させる原因の1つであるため、本発明によって該寄生容量を小さくすることが可能となると、トランジスタの高速化が可能となり、その結果aと同様な効果がある。

d. 配線を細くすることが可能となるために、画素の開口率を大きくすることができ、より明るい画像が得られる。

e. 単に配線を金属等の、低抵抗材料にすると、膜形成工程、フォトリソング工程が、それ

ぞれ1回増え、信頼性および歩留りの低下を招くが、本発明の工程数は従来の技術の工程数とかわりないため、これを回避することが可能である。

したがって本発明によれば、信頼性および歩留りの低下を招くことなく、アクティブマトリクス基板の大型化および高精細化、高開口率化による高画質品質化が可能となる。

#### 4. 図面の簡単な説明

第1図は、本発明の実施例の上視図である。第2図は、第1図のAA'の断面図である。第3図(a)は従来のアクティブマトリクス基板の1例の上視図、(b)はBB'の断面図である。第4図(a)～(d)、(a')～(d')は従来例の製造工程を示したもので、(a)～(d)は上視図、(a')～(d')は断面図である。第5図(a)～(d)、(a')～(d')は、本発明の実施例の製造工程を示したもので、(a)～(d)は、上視図、(a')～(d')は断面図である。第8図(a)～(c)は実施例の製造工

図を示した上視図である。

101、201、301、401、501、  
601…ゲート配線  
102、202、302、402、502、  
602…ソース配線  
103、203、503、603…架橋配線  
104、404、504、604…画素電極  
105、405、505、605…チャンネル  
領域  
106、406、606、606…ソース領  
域  
107、407、507、607…ドレイン  
領域  
108、408、508、608…コンタ  
クトホール  
209、309、409、509…ゲート絶  
縁膜  
210、310、410、510…ソース配  
線、ゲート配線間絶縁膜  
211、311、411、511…下地絶縁

膜

412、312、412、512…絶縁性基

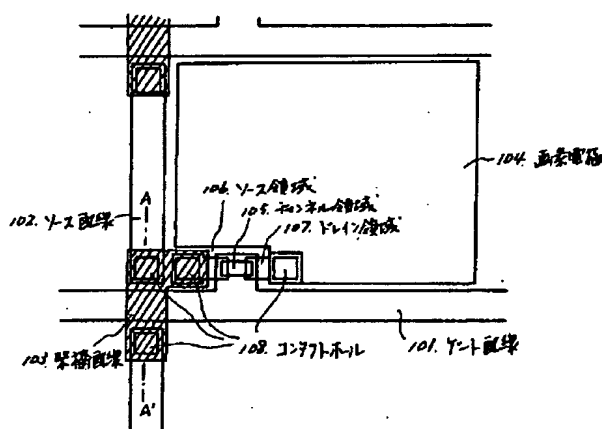
板

613…ソース領域、ソース配線間配線

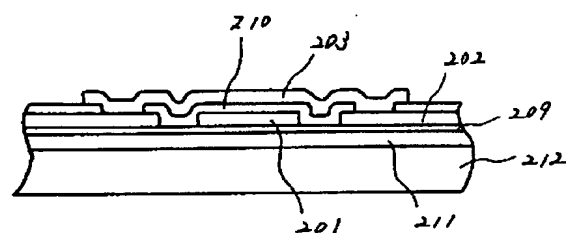
以上

出願人 セイコーエプソン株式会社

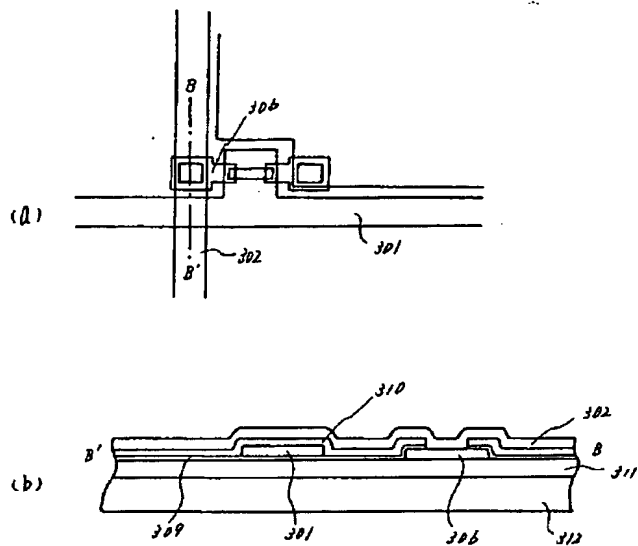
代理人 弁理士 最上 務 他1名



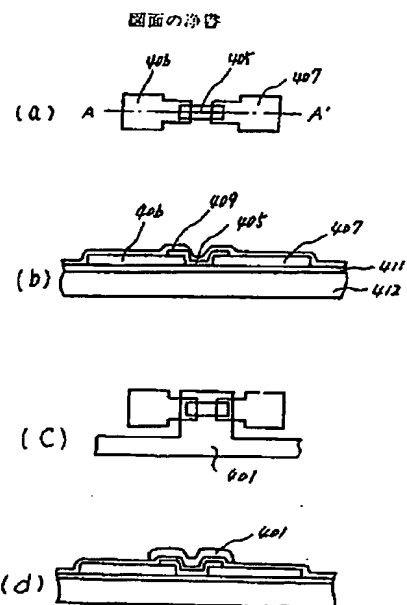
第1図



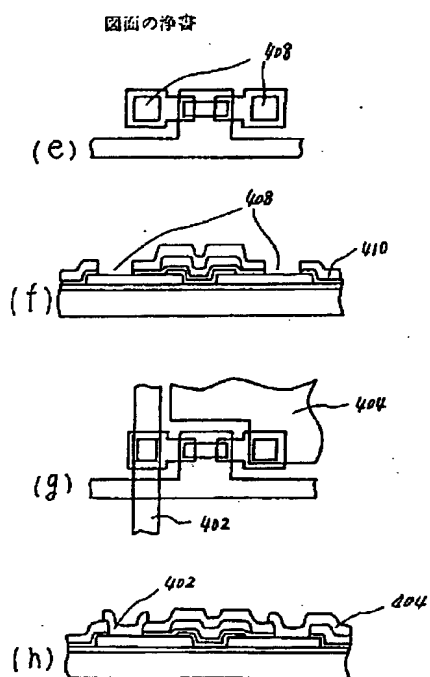
第2図



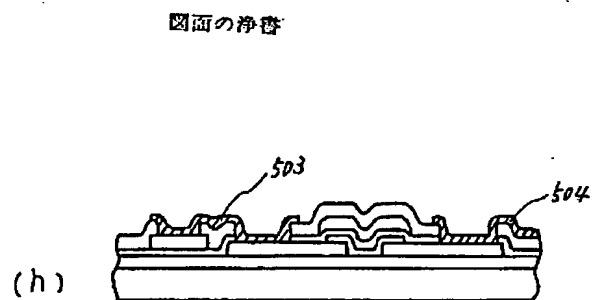
第3図



第4図



第4図



第5図

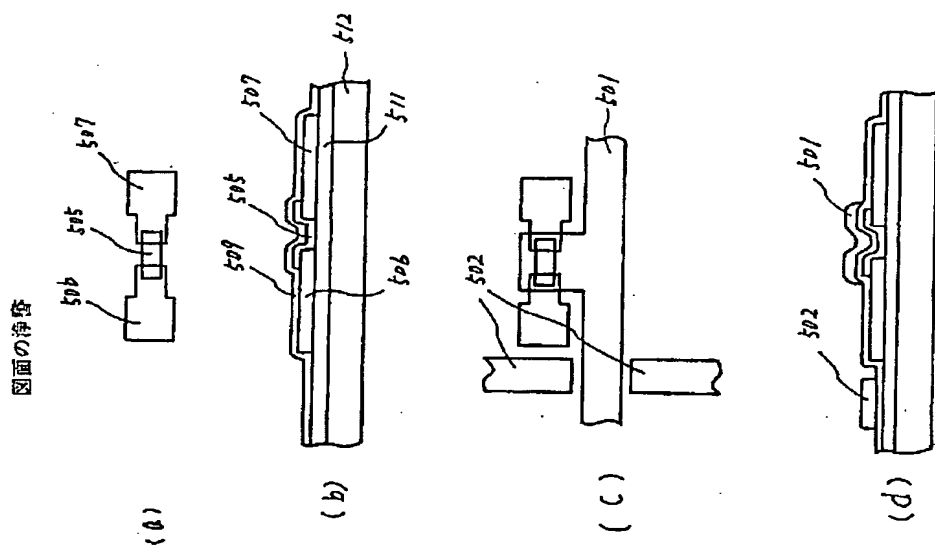


図 5 第 1 図

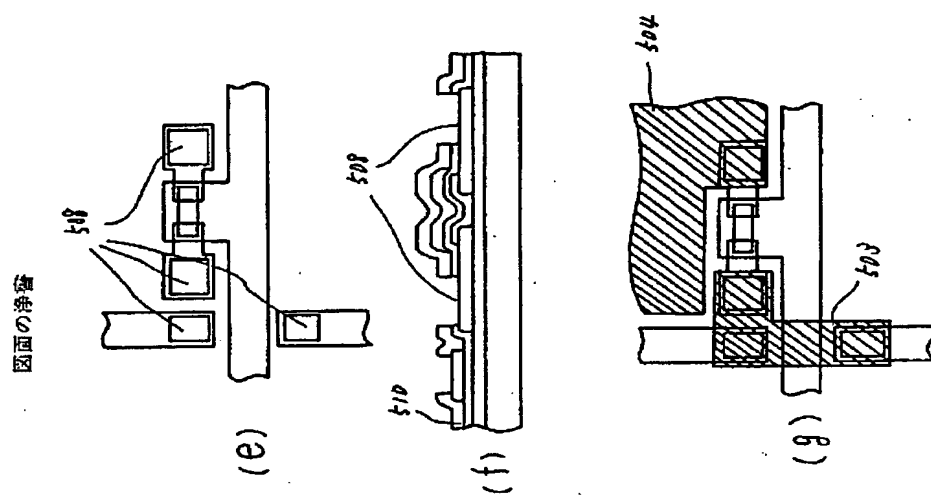
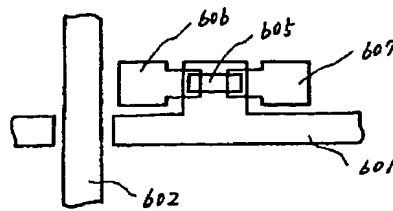


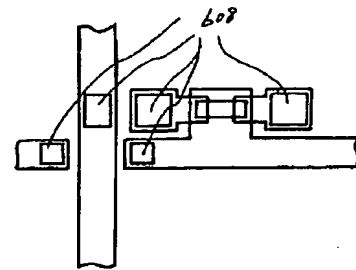
図 5 第 2 図

(a)

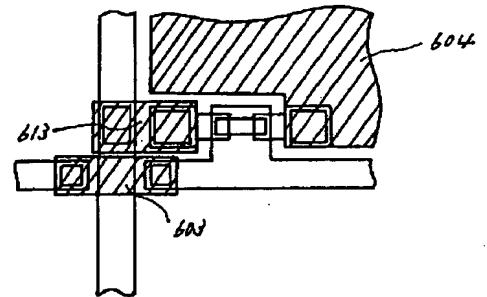


第6図

(b)



(c)



第6図

手続補正書 (方式)

昭和63年2月18日

特許庁長官 小川 邦夫 殿

1. 事件の表示

昭和62年 特許願 第258854号

2. 発明の名称

アクティブマトリクス基板

3. 補正する者

事件との関係 出願人

東京都新宿区西新宿2丁目4番1号

(236) セイコーエプソン株式会社

代表取締役 中村 恒也

4. 代理人

〒104

東京都中央区京橋2丁目6番21号

株式会社 服部セイコー内 最上特許事務所

(4664) 弁理士 最上 務 (他1名)

連絡先 563-2111 内線 631~635 担当 林

5. 補正命令の日付

昭和63年 1月26日

6. 補正の対象

明細書 (図面の簡単な説明)

図面 (第4図、第5図)

7. 補正の内容

別紙の通り

手続補正書

1. 明細書第10頁第12行目、「第4図」から最終行「である。」を以下の如く補正する。

「第4図(a)~(h)は従来例の製造工程を示したもので(a)、(c)、(e)、(g)は上視図、(b)、(d)、(f)、(h)は断面図である。第5図(a)~(h)は、本発明の実施例1の製造工程を示したもので(a)、(c)、(e)、(g)は上視図(b)、(d)、(f)は断面図である。」

2. 第4図、第5図を別紙の如く補正する。

以 上

代理人 最上 務他1名